



(12) 发明专利申请

(10) 申请公布号 CN 115020478 A

(43) 申请公布日 2022. 09. 06

(21) 申请号 202210944506.2

H01L 29/16 (2006.01)

(22) 申请日 2022.08.08

H01L 29/423 (2006.01)

(71) 申请人 北京芯可鉴科技有限公司

H01L 29/78 (2006.01)

地址 102200 北京市昌平区双营西路79号
院中科云谷园11号楼一层

H01L 21/28 (2006.01)

H01L 21/336 (2006.01)

申请人 北京智芯微电子科技有限公司

(72) 发明人 余山 赵东艳 王于波 陈燕宁

付振 刘芳 王凯 吴波 邓永峰

刘倩倩 郁文

(74) 专利代理机构 北京润平知识产权代理有限公司 11283

专利代理师 陈潇潇

(51) Int. Cl.

H01L 29/06 (2006.01)

H01L 29/08 (2006.01)

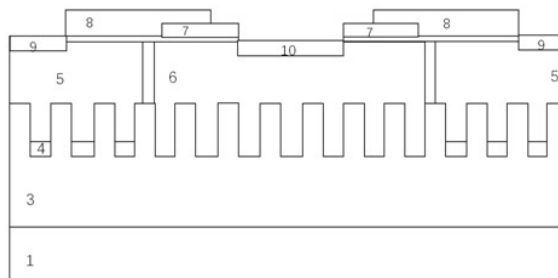
权利要求书2页 说明书6页 附图3页

(54) 发明名称

横向双扩散场效应晶体管、制作方法、芯片及电路

(57) 摘要

本发明提供一种横向双扩散场效应晶体管、制作方法、芯片及电路,涉及半导体技术领域。晶体管包括:衬底,衬底由具有第一导电类型的碳化硅材料制成;第一外延层,由具有第一导电类型的碳化硅材料制成,为顶部具有条形梳齿的梳状结构;第二外延层,由具有第一导电类型的硅材料制成,形成于第一外延层上并填充梳齿之间的空隙;具有第二导电类型的漂移区,形成于第二外延层内;具有第一导电类型的体区,形成于第二外延层内漂移区两侧;源极形成于体区内,漏极形成于漂移区内,场板形成于漂移区表面,栅极形成于漂移区和体区表面并覆盖部分场板。通过本发明提供的晶体管能够提高击穿电压,降低器件的温度,提高器件的性能和可靠性,降低制造成本。



1. 一种横向双扩散场效应晶体管,其特征在于,所述横向双扩散场效应晶体管包括:
衬底,所述衬底由具有第一导电类型的碳化硅材料制成;
第一外延层,所述第一外延层由具有第一导电类型的碳化硅材料制成,所述第一外延层为顶部具有条形梳齿的梳状结构;
第二外延层,所述第二外延层由具有第一导电类型的硅材料制成,所述第二外延层形成于所述第一外延层上并填充所述第一外延层的梳齿之间的空隙;
具有第二导电类型的漂移区,形成于所述第二外延层内;
具有第一导电类型的体区,形成于所述第二外延层内所述漂移区两侧;
源极、漏极、栅极和场板,所述源极形成于所述体区内,所述漏极形成于所述漂移区内,所述场板形成于所述漂移区表面,所述栅极形成于所述漂移区和所述体区表面并覆盖部分场板。
2. 根据权利要求1所述的横向双扩散场效应晶体管,其特征在于,所述第一外延层的梳齿之间的间距与梳齿的高度的比介于1:2~4。
3. 根据权利要求1所述的横向双扩散场效应晶体管,其特征在于,所述第一外延层的梳齿的宽度与高度的比介于1:2~4。
4. 根据权利要求1所述的横向双扩散场效应晶体管,其特征在于,所述第一外延层的梳齿的宽度介于0.3~0.5 μm 。
5. 根据权利要求1所述的横向双扩散场效应晶体管,其特征在于,所述漂移区的掺杂浓度小于所述第一外延层的掺杂浓度。
6. 根据权利要求1所述的横向双扩散场效应晶体管,其特征在于,所述第一外延层和所述衬底由4H碳化硅材料制成。
7. 一种横向双扩散场效应晶体管制作方法,其特征在于,所述横向双扩散场效应晶体管制作方法包括:
形成衬底,所述衬底由具有第一导电类型的碳化硅材料制成;
在所述衬底表面形成第一外延层,所述第一外延层由具有第一导电类型的碳化硅材料制成,所述第一外延层为顶部具有条形梳齿的梳状结构;
形成第二外延层,所述第二外延层由具有第一导电类型的硅材料制成,所述第二外延层形成于所述第一外延层上,并填充所述第一外延层的梳齿之间的空隙;
在所述第二外延层内形成具有第二导电类型的漂移区;
在所述第二外延层内所述漂移区两侧形成具有第一导电类型的体区;
形成源极、漏极、栅极和场板,所述源极形成于所述体区内,所述漏极形成于所述漂移区内,所述场板形成于所述漂移区表面,所述栅极形成于所述漂移区和所述体区表面并覆盖部分场板。
8. 根据权利要求7所述的横向双扩散场效应晶体管制作方法,其特征在于,所述第一外延层的梳齿之间的间距与梳齿的高度的比介于1:2~4。
9. 根据权利要求7所述的横向双扩散场效应晶体管制作方法,其特征在于,所述第一外延层的梳齿的宽度与高度的比介于1:2~4。
10. 根据权利要求7所述的横向双扩散场效应晶体管制作方法,其特征在于,所述第一外延层的梳齿的宽度介于0.3~0.5 μm 。

11. 根据权利要求7所述的横向双扩散场效应晶体管制作方法, 其特征在于, 所述漂移区的掺杂浓度小于所述第一外延层的掺杂浓度。

12. 根据权利要求7所述的横向双扩散场效应晶体管制作方法, 其特征在于, 所述第一外延层和所述衬底由4H碳化硅材料制成。

13. 一种芯片, 其特征在于, 该芯片包括权利要求1-6中任一项所述的横向双扩散场效应晶体管。

14. 一种电路, 其特征在于, 该电路包括权利要求1-6中任一项所述的横向双扩散场效应晶体管。

横向双扩散场效应晶体管、制作方法、芯片及电路

技术领域

[0001] 本发明涉及半导体技术领域,具体地,涉及一种横向双扩散场效应晶体管制作方法、一种横向双扩散场效应晶体管、一种芯片和一种电路。

背景技术

[0002] 横向双扩散场效应晶体管(Lateral Double-Diffused MOSFET, LDMOS)作为一种横向功率器件,其电极均位于器件表面,易于通过内部连接实现与低压信号电路以及其它器件的单片集成,同时又具有耐压高、增益大、线性度好、效率高、宽带匹配性能好等优点,如今已被广泛应用于功率集成电路中,尤其是低功耗和高频电路。

[0003] 现有技术中,横向双扩散场效应晶体管的击穿电压较低,且LDMOSFET工作电压大,工作电流也大,所以功耗大,在LDMOSFET内部主要在漂移区引起发热。产生自热效应,引起电子的迁移率下降,导通电流下降,导通电阻增加,器件性能恶化,器件散热效果较弱,影响器件可靠性。

发明内容

[0004] 针对现有技术中横向双扩散场效应晶体管的击穿电压较低,且器件散热效果较弱,影响器件性能和可靠性的技术问题,本发明提供了一种横向双扩散场效应晶体管制作方法、一种横向双扩散场效应晶体管、一种芯片和一种电路,采用该方法制备出的横向双扩散场效应晶体管能够承担器件的部分表面电压,提高击穿电压,降低器件的温度,改善器件自热效应,提高器件的性能和可靠性,降低制造成本。

[0005] 为实现上述目的,本发明一方面提供一种横向双扩散场效应晶体管,包括:衬底,所述衬底由具有第一导电类型的碳化硅材料制成;第一外延层,所述第一外延层由具有第一导电类型的碳化硅材料制成,所述第一外延层为顶部具有条形梳齿的梳状结构;第二外延层,所述第二外延层由具有第一导电类型的硅材料制成,所述第二外延层形成于所述第一外延层上并填充所述第一外延层的梳齿之间的空隙;具有第二导电类型的漂移区,形成于所述第二外延层内;具有第一导电类型的体区,形成于所述第二外延层内所述漂移区两侧;源极、漏极、栅极和场板,所述源极形成于所述体区内,所述漏极形成于所述漂移区内,所述场板形成于所述漂移区表面,所述栅极形成于所述漂移区和所述体区表面并覆盖部分场板。

[0006] 进一步地,所述第一外延层的梳齿之间的间距与梳齿的高度的比介于1:2~4。

[0007] 进一步地,所述第一外延层的梳齿的宽度与高度的比介于1:2~4。

[0008] 进一步地,所述第一外延层的梳齿的宽度介于0.3~0.5 μm 。

[0009] 进一步地,所述漂移区的掺杂浓度小于所述第一外延层的掺杂浓度。

[0010] 进一步地,所述第一外延层和所述衬底由4H碳化硅材料制成。

[0011] 本发明第二方面提供一种横向双扩散场效应晶体管制作方法,所述横向双扩散场效应晶体管制作方法包括:形成衬底,所述衬底由具有第一导电类型的碳化硅材料制成;在

所述衬底表面形成第一外延层,所述第一外延层由具有第一导电类型的碳化硅材料制成,所述第一外延层为顶部具有条形梳齿的梳状结构;形成第二外延层,所述第二外延层由具有第一导电类型的硅材料制成,所述第二外延层形成于所述第一外延层上,并填充所述第一外延层的梳齿之间的空隙;在所述第二外延层内形成具有第二导电类型的漂移区;在所述第二外延层内所述漂移区两侧形成具有第一导电类型的体区;形成源极、漏极、栅极和场板,所述源极形成于所述体区内,所述漏极形成于所述漂移区内,所述场板形成于所述漂移区表面,所述栅极形成于所述漂移区和所述体区表面并覆盖部分场板。

[0012] 进一步地,所述第一外延层的梳齿之间的间距与梳齿的高度的比介于1:2~4。

[0013] 进一步地,所述第一外延层的梳齿的宽度与高度的比介于1:2~4。

[0014] 进一步地,所述第一外延层的梳齿的宽度介于0.3~0.5 μm 。

[0015] 进一步地,所述漂移区的掺杂浓度小于所述第一外延层的掺杂浓度。

[0016] 进一步地,所述第一外延层和所述衬底由4H碳化硅材料制成。

[0017] 本发明第三方面提供一种芯片,该芯片包括上文所述的横向双扩散场效应晶体管。

[0018] 本发明第四方面提供一种电路,该电路包括上文所述的横向双扩散场效应晶体管。

[0019] 通过本发明提供的技术方案,本发明至少具有如下技术效果:

本发明的横向双扩散场效应晶体管包括一衬底,衬底由具有第一导电类型的碳化硅材料制成,衬底上形成有第一外延层,第一外延层由具有第一导电类型的碳化硅材料制成,第一外延层为顶部具有条形梳齿的梳状结构,在第一外延层上形成有第二外延层,且第二外延层填充第一外延层的梳齿之间的空隙,第二外延层由具有第一导电类型的硅材料制成,第二外延层内形成有具有第二导电类型的漂移区,第二外延层内漂移区的两侧形成有具有第一导电类型的体区。源极形成于体区内,漏极形成于漂移区内,场板形成于漂移区表面,栅极形成于漂移区和体区表面并覆盖部分场板。通过本发明提供的横向双扩散场效应晶体管,能够分担部分表面电场,提高击穿电压,降低器件的温度,改善器件自热效应,提高器件可靠性,提升器件性能,降低制造成本。

附图说明

[0020] 附图是用来提供对本发明实施例的进一步理解,并且构成说明书的一部分,与下面的具体实施方式一起用于解释本发明实施例,但并不构成对本发明实施例的限制。在附图中:

图1为本发明实施例提供的横向双扩散场效应晶体管制作方法中形成的初始第一外延层的剖面图;

图2为本发明实施例提供的横向双扩散场效应晶体管制作方法中形成的第一外延层的剖面图;

图3为本发明实施例提供的横向双扩散场效应晶体管制作方法中形成的外延P型硅的剖面图;

图4为本发明实施例提供的横向双扩散场效应晶体管制作方法中形成的第二外延层的剖面图;

图5为本发明实施例提供的横向双扩散场效应晶体管制作方法中形成的体区和漂移区的剖面图；

图6为本发明实施例提供的横向双扩散场效应晶体管制作方法中形成的横向双扩散场效应晶体管的剖面图；

图7为本发明实施例提供的横向双扩散场效应晶体管制作方法的流程图。

[0021] 附图标记说明

1-衬底；2-初始第一外延层；3-第一外延层；4-第二外延层；5-体区；6-漂移区；7-场板；8-栅极；9-源极；10-漏极。

具体实施方式

[0022] 以下结合附图对本发明实施例的具体实施方式进行详细说明。应当理解的是，此处所描述的具体实施方式仅用于说明和解释本发明实施例，并不用于限制本发明实施例。

[0023] 需要说明的是，在不冲突的情况下，本发明中的实施例及实施例中的特征可以相互组合。

[0024] 在本发明中，在未作相反说明的情况下，使用的方位词如“上、下、顶、底”通常是针对附图所示的方向而言的或者是针对竖直、垂直或重力方向上而言的各部件相互位置关系描述用词。

[0025] 下面将参考附图并结合实施例来详细说明本发明。

[0026] 请参考图6，本发明实施例提供一种横向双扩散场效应晶体管，该横向双扩散场效应晶体管包括：衬底1，所述衬底1由具有第一导电类型的碳化硅材料制成；第一外延层3，所述第一外延层3由具有第一导电类型的碳化硅材料制成，所述第一外延层3为顶部具有条形梳齿的梳状结构；第二外延层4，所述第二外延层4由具有第一导电类型的硅材料制成，所述第二外延层4形成于所述第一外延层3上并填充所述第一外延层3的梳齿之间的空隙；具有第二导电类型的漂移区6，形成于所述第二外延层4内；具有第一导电类型的体区5，形成于所述第二外延层4内所述漂移区6两侧；源极9、漏极10、栅极8和场板7，所述源极9形成于所述体区5内，所述漏极10形成于所述漂移区6内，所述场板7形成于所述漂移区6表面，所述栅极8形成于所述漂移区6和所述体区5表面并覆盖部分场板7。

[0027] 具体地，本发明实施方式中，横向双扩散场效应晶体管包括衬底1，衬底1由具有第一导电类型的碳化硅材料制成，在衬底1上形成有第一外延层3，第一外延层3由具有第一导电类型的碳化硅材料制成，第一外延层3为顶部具有条形梳齿的梳状结构。在第一外延层3上形成有第二外延层4，且第二外延层4填充第一外延层3的梳齿之间的空隙，第二外延层4由具有第一导电类型的硅材料制成。第一外延层3和第二外延层4构成异质结，能够分担器件表面的部分电场，提高击穿电压，而且第一外延层3的顶部梳齿状构型能够增加与第二外延层4的结面积，进一步减小表面电场。避免了衬底1内高压阱区的制作，降低制作难度，减少生产成本。碳化硅材料热导率为 $4.9\text{M}/(\text{cm}\cdot\text{k})$ ，远高于硅的导热率 $1.4\text{M}/(\text{cm}\cdot\text{k})$ ，散热效果要好于硅，且梳状的第一外延层3能够增加与第二外延层4的接触面积，更有利于器件散热，改善器件的自热效应，提高器件的导通电流，减小导通电阻，提高器件可靠性，有效改善器件性能。

[0028] 具有第二导电类型的漂移区6形成于第二外延层4内，具有第一导电类型的体区5

形成于第二外延层4内漂移区6的两侧,源极9形成于体区5内,漏极10形成于漂移区6内,场板7形成于漂移区6表面,栅极8形成于漂移区6和体区5表面并覆盖部分场板7。

[0029] 根据本发明提供的横向双扩散场效应晶体管,能够降低器件表面电场,降低导通电阻,提高击穿电压,快速降低器件的温度,改善自热效应,提高器件可靠性,提升器件性能,避免高压阱区的制作,降低制作难度,减少生产成本。

[0030] 进一步地,所述第一外延层3的梳齿之间的间距与梳齿的高度的比介于1:2~4。

[0031] 具体地,本发明实施方式中,第一外延层3的梳齿之间的间距与梳齿的高度的比介于1:2~4,如果第一外延层3的梳齿之间的间距与梳齿的高度的比过大,则在外延形成第二外延层4时,会在梳齿之间形成多个空洞,影响击穿电压;如果间距与梳齿的高度的比较小,则会影响器件的散热,降低器件的可靠性。

[0032] 进一步地,所述第一外延层3的梳齿的宽度与高度的比介于1:2~4。

[0033] 具体地,本发明实施方式中,如果上述比例较小,则会影响器件的散热,影响器件的性能和可靠性。

[0034] 进一步地,所述第一外延层3的梳齿的宽度介于0.3~0.5 μm 。

[0035] 具体地,本发明实施方式中,第一外延层3的梳齿的宽度介于0.3~0.5 μm ,如果梳齿的宽度较窄,增加了光刻难度和制造成本;如果梳齿的宽度较宽,则会减少梳齿的数量,降低器件的散热效果,影响器件的性能和可靠性。对应的梳齿之间的空隙的宽度介于0.3~0.5 μm 。

[0036] 进一步地,所述漂移区6的掺杂浓度小于所述第一外延层3的掺杂浓度。

[0037] 具体地,本发明实施方式中,如果漂移区6的掺杂浓度过大,会将第一外延层3的碳化硅反型,影响器件的击穿电压和散热效果。

[0038] 进一步地,所述第一外延层3和所述衬底1由4H碳化硅材料制成。

[0039] 具体地,本发明实施方式中,4H碳化硅禁带宽度为3.25eV,热导率为4.9M/(cm·k),可以有效提高器件的击穿电压,降低器件温度,提高器件的可靠性。

[0040] 请参考图1-7,本发明第二方面提供一种横向双扩散场效应晶体管制作方法,所述横向双扩散场效应晶体管制作方法包括:S101:形成衬底1,所述衬底1由具有第一导电类型的碳化硅材料制成;S102:在所述衬底1表面形成第一外延层3,所述第一外延层3由具有第一导电类型的碳化硅材料制成,所述第一外延层3为顶部具有条形梳齿的梳状结构;S103:形成第二外延层4,所述第二外延层4由具有第一导电类型的硅材料制成,所述第二外延层4形成于所述第一外延层3上,并填充所述第一外延层3的梳齿之间的空隙;S104:在所述第二外延层4内形成具有第二导电类型的漂移区6;S105:在所述第二外延层4内所述漂移区6两侧形成具有第一导电类型的体区5;S106:形成源极9、漏极10、栅极8和场板7,所述源极9形成于所述体区5内,所述漏极10形成于所述漂移区6内,所述场板7形成于所述漂移区6表面,所述栅极8形成于所述漂移区6和所述体区5表面并覆盖部分场板7。

[0041] 首先执行步骤S101:形成衬底1,所述衬底1由具有第一导电类型的碳化硅材料制成。

[0042] 接着执行步骤S102:在所述衬底1表面形成第一外延层3,所述第一外延层3由具有第一导电类型的碳化硅材料制成,所述第一外延层3为顶部具有条形梳齿的梳状结构。

[0043] 进一步地,所述第一外延层3和所述衬底1由4H碳化硅材料制成。

[0044] 具体地,本发明实施方式中提供的横向双扩散场效应晶体管即能为N型横向双扩散场效应晶体管,也能为P型横向双扩散场效应晶体管。当该横向双扩散场效应晶体管为N型横向双扩散场效应晶体管时,第一掺杂类型为P型,第二掺杂类型为N型;当该横向双扩散场效应晶体管为P型横向双扩散场效应晶体管时,第一掺杂类型为N型,第二掺杂类型为P型,本发明对此不作限制,下文本实施例中仅以N型横向双扩散场效应晶体管为例进行说明。

[0045] 本发明实施方式中先提供一衬底1,衬底1由P型4H碳化硅材料制成。然后在衬底1表面外延一层P型4H碳化硅,形成初始第一外延层2,干法刻蚀初始第一外延层2,形成第一外延层3,第一外延层3为顶部具有条形梳齿,底部为长条形的梳状结构,如图1所示。

[0046] 接着执行步骤S103:形成第二外延层4,所述第二外延层4由具有第一导电类型的硅材料制成,所述第二外延层4形成于所述第一外延层3上,并填充所述第一外延层3的梳齿之间的空隙。

[0047] 具体地,本发明实施方式中,第二外延层4具有两种形成方法,第一种:在第一外延层3表面进行选择性地外延,填充P型硅材料,P型硅材料至少填满第一外延层3的梳齿之间的空隙,然后利用化学机械抛光磨平P型硅材料的上表面,如图3所示。再在P型硅材料的表面粘接一个P型硅晶圆,形成图4所示的第二外延层4。

[0048] 第二种方法:在第一外延层3表面进行选择性地外延,填充P型硅材料,P型硅材料填满第一外延层3的梳齿之间的空隙,并具有一定厚度,然后利用化学机械抛光磨平P型硅材料的上表面,形成图4所示的第二外延层4。

[0049] 接着执行步骤S104:在所述第二外延层4内形成具有第二导电类型的漂移区6。

[0050] 接着执行步骤S105:在所述第二外延层4内所述漂移区6两侧形成具有第一导电类型的体区5。

[0051] 具体地,本发明实施方式中,在第二外延层4表面形成光刻胶,并对光刻胶进行刻蚀,形成注入窗口,通过该注入窗口进行N离子注入,去除光刻胶。再在第二外延层4表面形成光刻胶,并对光刻胶进行刻蚀,形成注入窗口,通过该注入窗口进行P离子注入,去除光刻胶。高温推进,形成漂移区6和体区5,漂移区6形成于第二外延层4内,体区5形成于第二外延层4内漂移区6的两侧。

[0052] 最后执行步骤S106:形成源极9、漏极10、栅极8和场板7,所述源极形成于所述体区5内,所述漏极10形成于所述漂移区6内,所述场板7形成于所述漂移区6表面,所述栅极8形成于所述漂移区6和所述体区5表面并覆盖部分场板7。

[0053] 具体地,本发明实施方式中,通过化学气相沉积在漂移区6表面形成场板7。形成栅极8,栅极8的多晶硅覆盖部分场板7,然后通过N⁺离子注入在体区5内形成源极9,通过P⁺离子注入在漂移区6内形成漏极10,如图6所示。

[0054] 进一步地,所述第一外延层3的梳齿之间的间距与梳齿的高度的比介于1:2~4。

[0055] 进一步地,所述第一外延层3的梳齿的宽度与高度的比介于1:2~4。

[0056] 进一步地,所述第一外延层3的梳齿的宽度介于0.3~0.5 μm 。

[0057] 进一步地,所述漂移区6的掺杂浓度小于所述第一外延层3的掺杂浓度。

[0058] 本发明第三方面提供一种芯片,该芯片包括上文所述的横向双扩散场效应晶体管。

[0059] 本发明第四方面提供一种电路,该电路包括上文所述的横向双扩散场效应晶体管。

[0060] 以上结合附图详细描述了本发明的优选实施方式,但是,本发明并不限于上述实施方式中的具体细节,在本发明的技术构思范围内,可以对本发明的技术方案进行多种简单变型,这些简单变型均属于本发明的保护范围。

[0061] 另外需要说明的是,在上述具体实施方式中所描述的各个具体技术特征,在不矛盾的情况下,可以通过任何合适的方式进行组合,为了避免不必要的重复,本发明对各种可能的组合方式不再另行说明。

[0062] 此外,本发明的各种不同的实施方式之间也可以进行任意组合,只要其不违背本发明的思想,其同样应当视为本发明所公开的内容。



图1

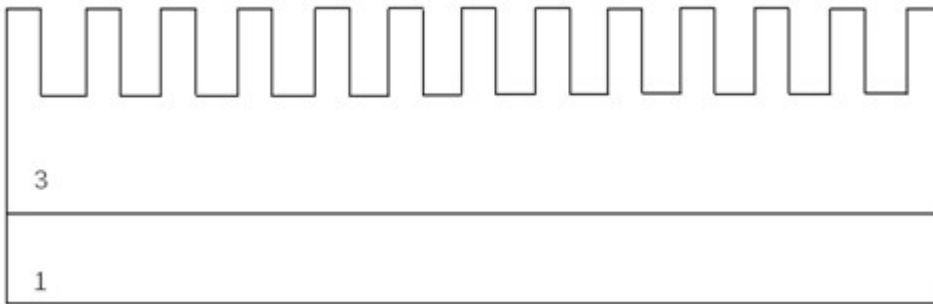


图2

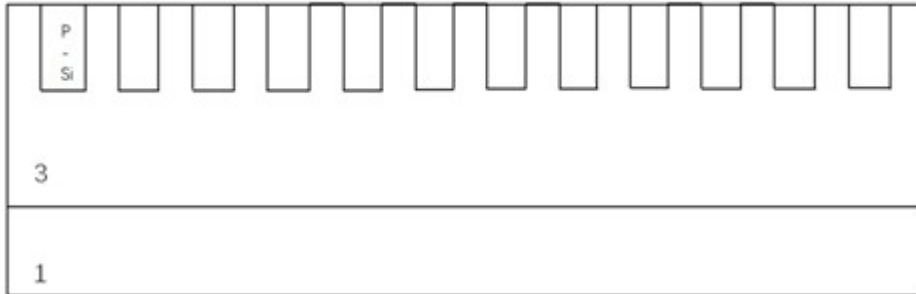


图3

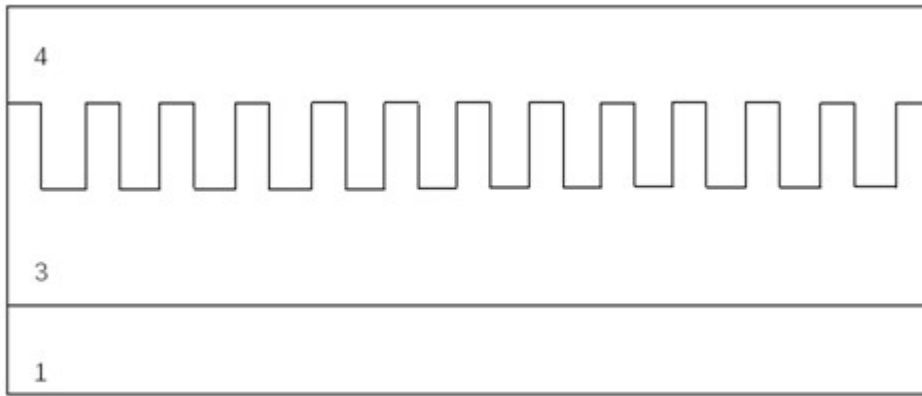


图4

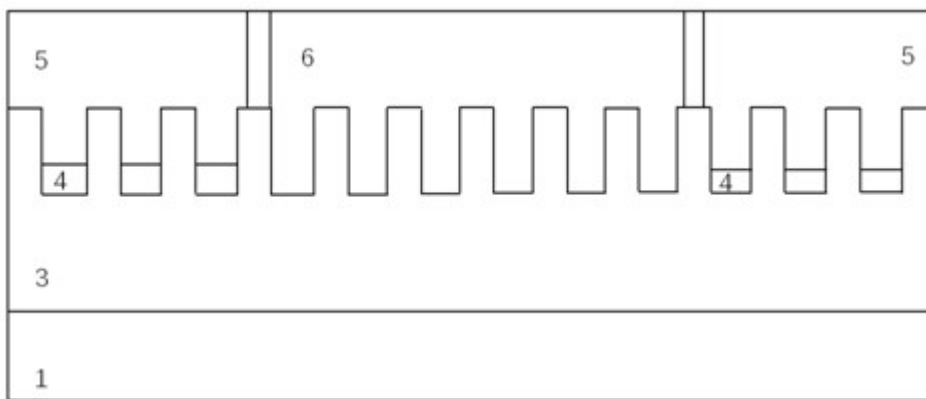


图5

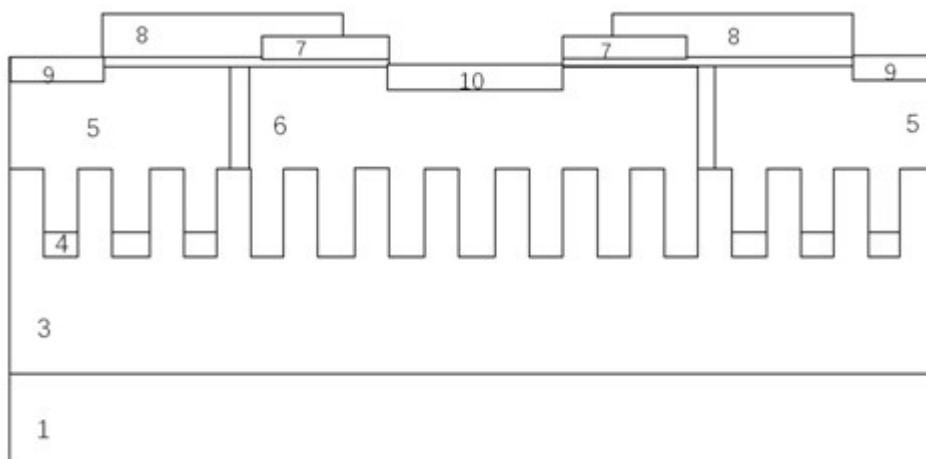


图6

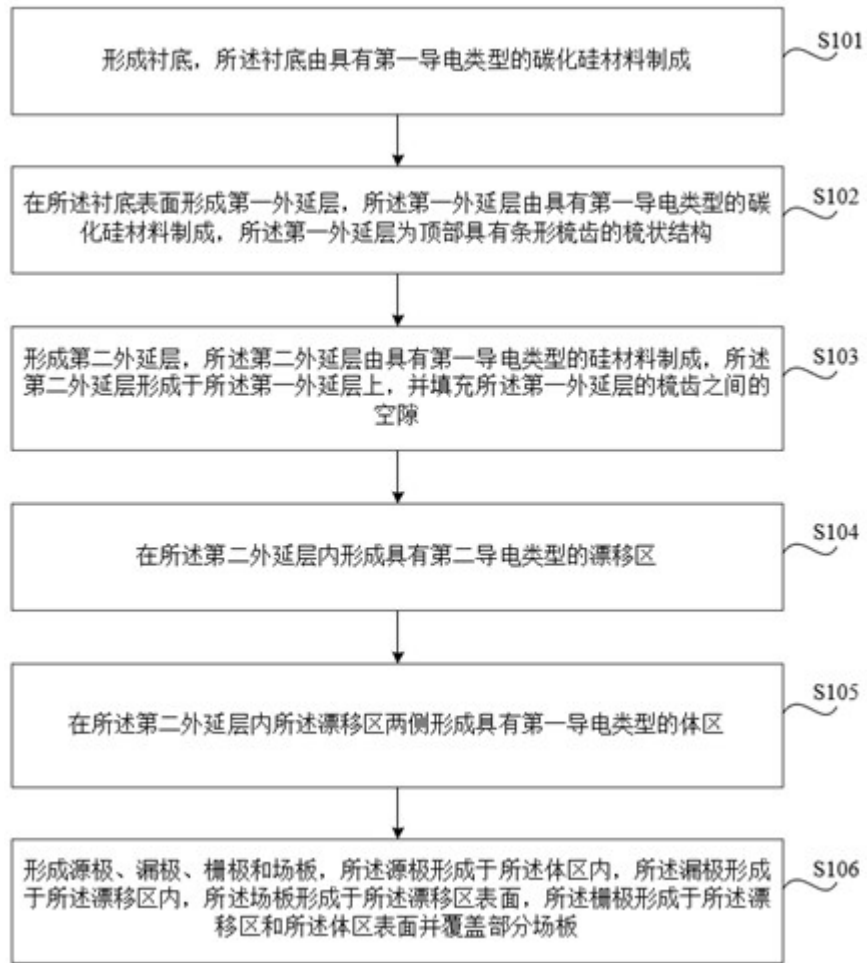


图7